

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-101503

(43)Date of publication of application : 03.04.1992

(51)Int.Cl.

H03F 3/45  
H03F 3/343  
// H03B 5/36

(21)Application number : 02-218070

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.08.1990

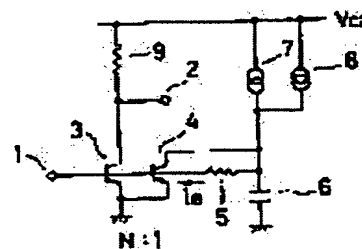
(72)Inventor : SUZUKI TSUNEO

## (54) BIAS CIRCUIT

## (57)Abstract:

PURPOSE: To eliminate the fluctuation of collector current of an element to be biased by a high frequency input signal by actuating a pair of transistors where the base and the emitter are interconnected as a current mirror in terms of the direct current and the alternating current.

CONSTITUTION: Since in a transistor 3 and a transistor 4 the base and the emitter are interconnected, a current flow at a ratio of N:1 in terms of a direct current and an alternating current. Since the alternating current component of the collector current is smoothed by a capacitor 6 and a voltage at both ends of the capacitor is applied to the base of transistor 4 via a resistor 5, the negative feedback is applied from the resistor 5 so that the direct current component of the collector current of transistor 4 becomes equal to a reference current. Since both transistor 3 and transistor 4 become a current mirror, the direct current component of the collector current of transistor 3 always becomes N times the reference current regardless of the AC signal voltage of input terminal 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-101503

⑤ Int.Cl.<sup>5</sup>

H 03 F 3/45

// H 03 B 5/36

識別記号

Z

A

庁内整理番号

8326-5 J

8326-5 J

8321-5 J

⑬ 公開 平成4年(1992)4月3日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 バイアス回路

⑯ 特 願 平2-218070

⑰ 出 願 平2(1990)8月21日

⑱ 発 明 者 鈴木 恒 雄 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

バイアス回路

2. 特許請求の範囲

ベースに高周波信号が供給され高周波回路の一部を構成する第1のトランジスタと、この第1のトランジスタとベースおよびエミッタをそれぞれ互いに接続した第2のトランジスタと、この第2のトランジスタのベース、コレクタ間に接続された抵抗と、第2のトランジスタのコレクタに接続され高周波信号のバイパスを行なうコンデンサと、第2のトランジスタのコレクタに接続され第1および第2のトランジスタのベース電流と概略等しい電流と基準の電流との加算値の通電を行なう定電流源とを具備したことを特徴とするバイアス回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、高周波回路の一部を構成するトランジスタのコレクタ(エミッタ)に一定直流電流を流すバイアス回路に関するもので、特に半導体集積回路の高周波増幅回路、周波数変換回路、発振回路などに使用される。

(従来の技術)

従来、半導体集積回路のエミッタ接地型の高周波増幅回路には、第4図に示す様な回路が使用されていた。ここで1は高周波信号入力端子、2は出力端子、3のトランジスタはエミッタ接地増幅素子であり、9は負荷抵抗である。5はトランジスタ3に直流バイアスを与えるためのバイアス抵抗、6は高周波バイパス用コンデンサ、5<sub>1</sub>はトランジスタ3のベース電流による抵抗5の電圧降下を補正するための抵抗で、トランジスタ3とトランジスタ4は直流的にはカレントミラーを形成している。またトランジスタ3とトランジスタ4のエミッタの面積比をN:1とするとトランジスタ3には基準電流源7のN倍の電流が流れる。この時抵抗5<sub>1</sub>は抵抗5のおよそN倍の値に設定される。実際にはトランジスタ4のコレクタ電流

は定電流源7よりもトランジスタ3および4のベース電流 $I_B$ 分だけ減少するので、抵抗 $5_1$ を大きめに設定して補正をすることもできる。

(発明が解決しようとする課題)

従来のバイアス回路では第4図で、トランジスタ3とトランジスタ4が直流的にはカレントミラーになっているが、端子1からの交流信号は、コンデンサ6によるバイパスにより、トランジスタ3のみに印加されるので、端子1からの入力信号が増加すると、該信号が無視できず、トランジスタ3のベース、エミッタ間のPN接合の非線形性のために、トランジスタ3のコレクタ(エミッタ)直流電流が増加するという欠点がある。この様子をグラフに示したのが第5図の曲線bおよび第6図である。さらに抵抗 $5_1$ は抵抗 $5$ のN倍の高抵抗となるため、抵抗 $5_1$ の出す熱雑音電圧が大きく、低雑音特性を必要とする用途には不向きである。特に半導体集積回路で実現する場合、コンデンサ6の容量値はあまり大きくすることができず、抵抗 $5_1$ で発生する熱雑音をコンデンサ6

で十分に落とすことができない。抵抗 $5$ 、抵抗 $5_1$ を十分に大きな値にすれば前記の電流の増加は軽減することができるが、トランジスタ3、トランジスタ4のベース電流による抵抗 $5$ 、抵抗 $5_1$ の電圧降下の分だけ電源電圧 $V_{CC}$ を高くする必要があり、熱雑音もさらに大きくなるという問題がある。上記消費電流の増加は電源に電池を使うシステムの場合電池寿命を縮めるという問題がある。また電流が変動すると回路の動作点が変わるので、回路を正常に動かすのが難しくなるという問題がある。

そこで本発明の目的は、高周波入力信号による被バイアス素子のコレクタ電流の変動がなく、低雑音で、低電源電圧で動作可能な半導体集積回路に適した高周波回路のバイアス回路を得ることにある。

[発明の構成]

(課題を解決するための手段と作用)

本発明は、ベースに高周波信号が供給され高周波回路の一部を構成する第1のトランジスタと、

この第1のトランジスタとベースおよびエミッタをそれぞれ互いに接続した第2のトランジスタと、この第2のトランジスタのベース、コレクタ間に接続された抵抗と、第2のトランジスタのコレクタに接続され高周波信号のバイパスを行なうコンデンサと、第2のトランジスタのコレクタに接続され第1および第2のトランジスタのベース電流と概略等しい電流と基準の電流との加算値の通電を行なう定電流源とを具備したことを特徴とするバイアス回路である。

即ち、本発明では、上記従来の欠点をなくすため、ベース、エミッタを互いに接続した1対のトランジスタを使い、その一方の第2のトランジスタのコレクタに高周波バイパス用コンデンサと基準定電流源を接続し、上記第2のトランジスタのベース、コレクタ間に抵抗を接続し、上記1対のトランジスタが、直流的にも交流的にもカレントミラーとして動作する様にした。さらに上記1対のトランジスタのベースの電流 $I_B$ によるコレクタ電流の減少を補正するため、1対のトランジスタ

のベースの電流にほぼ等しい電流を基準電流源に加える回路を付加した。そして1対のトランジスタの他方の第1のトランジスタを高周波回路の一部として使用する。

このようにして、特に第2のトランジスタのベースに負帰還がかかるため、第1のトランジスタのコレクタ(エミッタ)電流の変動がなく、またベース電流補正に基準電流による低電圧電源回路を用いることができるため、低雑音で、またコンデンサの容量値を小さくできる等で、集積回路化も容易となるものである。

(実施例)

以下図面を参照して本発明の一実施例を説明する。第1図は同実施例の回路図であるが、ここで第4図と対応する個所には同一符号を用いる。第1図において、トランジスタ4はトランジスタ3と対をなすトランジスタで、トランジスタ3とトランジスタ4のエミッタの面積比は $N:1$ である。トランジスタ3とトランジスタ4はベース、エミッタを互いに接続されてエミッタが接地され、

そのベースは抵抗5を介して高周波バイパス用コンデンサ6、トランジスタ4のコレクタ、基準電流源7およびベース電流補正用の電流源8に接続されている。トランジスタ3とトランジスタ4はベース、エミッタを互いに接続されているので、直流的にも、交流的にも $N:1$ の比率で電流が流れる。トランジスタ4のコレクタ電流の交流成分はコンデンサ6で平滑され、コンデンサの両端の電圧が抵抗5を介してトランジスタ4のベースに加わるので、トランジスタ4のコレクタの電流の直流成分は基準電流に等しくなる様に、抵抗5から負帰還がかかる。トランジスタ3とトランジスタ4はカレントミラーとなっているので、トランジスタ3のコレクタ電流の直流成分は、入力端1の交流信号電圧に関係なく常に基準電流の $N$ 倍となる(第5図の直流a)。

ベース電流補正用の電流源8はトランジスタ3、トランジスタ4のベース電流にほぼ等しい電流であり、ベース電流 $I_B$ を相殺するので、トランジスタ4のコレクタ電流は基準電流7とほぼ等しく

クタ直流電流一定にかかわらず、通常通り行なわれる。

第1図の回路によれば、第5図のbのグラフに示すように、従来の技術では入力信号電圧がトランジスタの熱電圧 $V_T$ (常温で約26mV)を超えるあたりから急激に直流電流が増加するが、本発明では第5図のaのグラフに示すように、トランジスタ3のコレクタ直流電流は常に一定である。つまりこれは、トランジスタ3のベース交流信号によるトランジスタ3のコレクタ直流電流の変動を、抵抗5を通したトランジスタ4のベースへの負帰還で、トランジスタ4のコレクタ電流とこれとミラー関係にあるトランジスタ3のコレクタ電流が一定化されることである。

また、ベース電流補正に従来のような大きな抵抗値を使わず、ベース電流にほぼ等しい電流を流して打ち消す方式を使っているので、抵抗の出す熱雑音が小さく、低雑音の増幅回路が作れ、またバイアス抵抗のベース電流による電圧降下を小さくできるので、低電源電圧(例えば1.0V)で

なる。上記トランジスタ4のコレクタ電流は $N$ の値を大きくすれば(例えば10)十分小さくすることができるので、コンデンサ6の容量値はそれほど大きくする必要がなく、該コンデンサ6は半導体集積回路に容易に内蔵化できる。

第1図を直流的に見た場合、入力端子1の交流信号が、例えば増大したとき、トランジスタ3、4のベース電流及びコレクタ電流が増えようとするが、定電流源7、8からは定電流しか得られないので、ベース電流 $I_B$ は減る方向で、このことは負帰還がかかったことだから、トランジスタ4のコレクタ電流は減る方向に動き、従ってトランジスタ4のコレクタ電流は一定化される。つまりトランジスタ3、4はカレントミラーだから、トランジスタ3のコレクタ電流も一定化される。

一方第1図を交流的に見た場合、コンデンサ6の上端での交流成分は、コンデンサ6でバイパスされるので、交流的にトランジスタ3、4のベース方向に負帰還はかからず、負荷9、出力端子2の部分での交流的变化は、トランジスタ3のコレ

動作する回路を作ることができる。また、高周波バイパス用コンデンサの容量値はさほど大きくないので、半導体集積回路に容易に内蔵化できる。

第2図は本発明の応用例で、10は周波数変換回路として動作し、入力1に周波数 $f_1$ の高周波信号、入力11、入力12に周波数 $f_2$ の信号源30から局部発振信号を入力し、出力2に「 $f_1 - f_2$ 」の中間周波信号が出力される。8はベース電流補正用の電流源の具体的な回路例で、トランジスタ20と抵抗23、電流源16は、トランジスタ18、トランジスタ19のベースにバイアスを与える回路で、トランジスタ21とトランジスタ18は差動増幅器として動作し、トランジスタ17のコレクタ電流が電流源15の電流と等しくなる様に負帰還をかけている。

トランジスタ18のコレクタはトランジスタ17のベースに接続されているので、トランジスタ18のコレクタ電流はトランジスタ17のベース電流に等しくなる。トランジスタ18とトランジスタ19は1:Mのエミッタ面積比を持ち、

1 : M のカレントミラーとして動作するので、トランジスタ 19 のコレクタ電流はトランジスタ 17 のベース電流の M 倍となる。例えば、電流源 7 と電流源 15 を等しく設定した場合、トランジスタ 4 とトランジスタ 17 のベース電流は等しくなるので、「 $M = N + 1$ 」とすれば、トランジスタ 19 のコレクタ電流は、トランジスタ 3 とトランジスタ 4 のベース電流を加えたものに等しくなる。また抵抗 37 はトランジスタ 3 とトランジスタ 4 のコレクタの負荷条件を揃えて、交流信号に対するトランジスタ 3 とトランジスタ 4 のベア性を向上させるものである。

第 3 図は本発明を発振回路 40 に応用した例で、31 は水晶振動子、32、33 は発振用コンデンサ、34 は直流バイパス用インダクタ、35、36 はカレントミラー回路である。この例ではトランジスタ 3、トランジスタ 4 のエミッタは交流的には接地されておらず、直流的にだけ接地されているのが他の例と異なる。

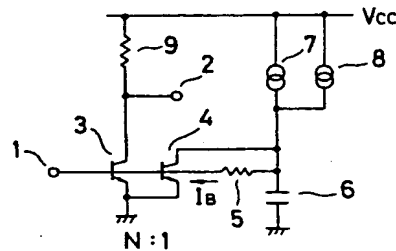
#### [ 発明の効果 ]

以上説明した如く本発明によれば、高周波入力信号による被バイアス素子（トランジスタ）のコレクタ電流が一定化でき、また低雑音で、低電源電圧で IC 化に通ずる等の利点を有したバイアス回路が提供できる。

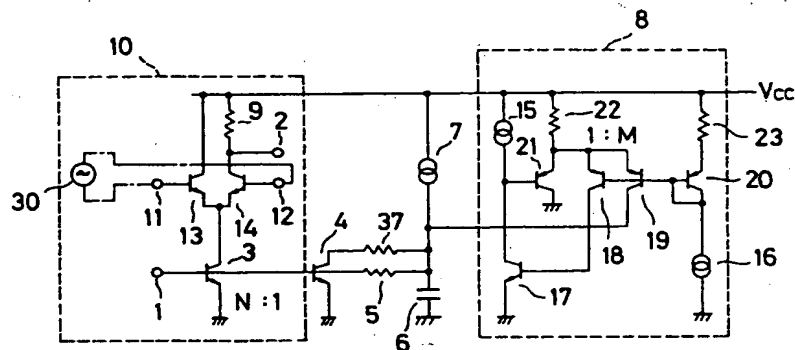
#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例の回路図、第 2 図、第 3 図は同回路の応用例の回路図、第 4 図は従来のバイアス回路図、第 5 図は第 1 図、第 4 図の特性図、第 6 図は第 4 図の特性図である。

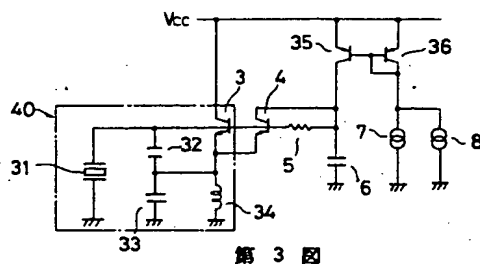
1 … 入力端子、2 … 出力端子、3、4 … ベアのトランジスタ（エミッタ面積比  $N : 1$ ）、5 … バイアス抵抗、6 … 高周波バイパスコンデンサ、7 … 基準電流源、8 … ベース電流補正用電流源、9 … 出力負荷抵抗、10 … 周波数変換回路、11、12 … 局部発振入力端子、15、16 … 電流源、30 … 高周波信号源、31 … 水晶振動子、32、33 … 発振用コンデンサ、34 … インダクタ、40 … 発振回路。



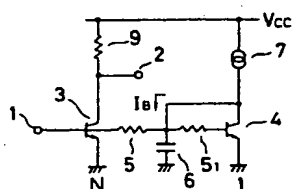
第 1 図



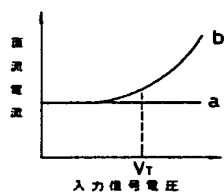
第 2 図



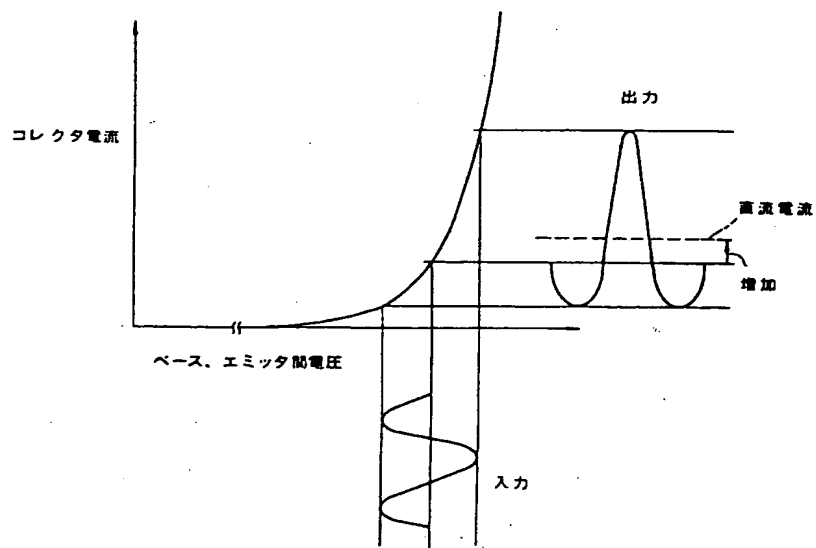
第 3 図



第 4 図



第 5 図



第 6 図

**THIS PAGE BLANK (USPTO)**